

基盤情報通信研究連絡委員会  
情報物質・次世代 L S I 専門委員会報告

# 半導体集積回路技術の展望と課題

平成 1 7 年 6 月 2 3 日

日本学術会議  
基盤情報通信研究連絡委員会  
情報物質・次世代 L S I 専門委員会

本報告は、第 19 期日本学術会議基盤情報通信研究連絡委員会情報物質・次世代 L S I 専門委員会の審議結果をとりまとめ、発表するものである。

## 委員会等構成員リスト

### 第 19 期 基盤情報通信研究連絡委員会情報物質・次世代 L S I 専門委員会

委員長	大見 忠弘	(東北大学未来科学技術共同研究センター教授)
幹事	桜井 貴康	(東京大学国際・産学共同研究センター教授)
委員	酒井 徹志	(東京工業大学名誉教授)
委員	高橋 研	(東北大学未来科学技術共同研究センター教授)
委員	堀池 靖浩	(独立行政法人物質・材料研究機構フェロー)
委員	安浦 寛人	(九州大学大学院システム情報科学研究院教授)
オブザーバ	西村 吉雄	(東京工業大学非常勤監事)
オブザーバ	泉谷 渉	(産業タイムス社 半導体産業新聞編集長)
オブザーバ	中島 一郎	(東北大学大学院工学研究科教授)
オブザーバ	須川 成利	(東北大学大学院工学研究科教授)

## 会議開催記録

### 第 19 期 基盤情報通信研究連絡委員会情報物質・次世代 L S I 専門委員会

第 1 回委員会：	平成 16 年 4 月 13 日
第 2 回委員会：	平成 16 年 6 月 12 日
第 3 回委員会：	平成 16 年 8 月 21 日

## 要 旨

### 1．報告の名称

「半導体集積回路技術の展望と課題」

### 2．報告の内容

#### (1) 作成の背景

半導体産業は、今やあらゆる産業の基幹を担っている。半導体技術なくして全ての産業の健全な発展はありえない。全産業の停滞を回避するため、半導体産業の進歩を決して停滞させてはならない。以下に述べるように、現在、半導体産業は非常に重要な転換期を迎えている。本報告は、半導体産業をこれまで以上に発展させるために、今何が必要であり、科学技術創造立国を国是とする我が国の科学技術政策としてどのような対策を講じればよいか、検討するための助言として報告するものである。

#### (2) 現状及び問題点

これまで、半導体集積回路は、1年で2倍、あるいは3年で4倍といわれる指数関数的な集積度向上（ムーアの法則）を達成すると共に、その性能を飛躍的に向上させてきた。しかし、素子寸法の微細化は、現状の半導体技術ではほぼ限界に達しており、リーク電流の増大、素子特性のばらつき増大、それらに伴う消費電力の増大など、様々な解決困難な問題点が顕在化してきている。

さらに、半導体産業の主戦場は、これまでの汎用メモリや汎用プロセッサなどのコンピュータ分野からデジタル情報家電分野に大きく切り替わろうとしている。この分野は、顧客の好みの変化が極めて速く、製品寿命は極めて短いという特徴を有する。これらの製品に搭載される半導体集積回路の設計・製造は、超短期間かつ超多品種少量製品対応が余儀なくされ、これまでの製造業の指導原理であった大量生産による利益率の向上（スケールメリット）は望めず、基本コンセプトの一大転換が必要な状況となっている。

#### (3) 改善策、提言等の内容

それら様々な問題を克服するためには、材料、プロセス、製造装置、デバイス、回路、アーキテクチャ、システム、評価・分析・テストにわたる全分野の完全な一体連携融合開発研究を、産学官連携のもとで戦略的に推進することが重要となる。更に、顧客ニーズの変化が極めて激しいデジタル情報家電分野が半導体産業の主戦場となることから、顧客ニーズを逸早く製品に反映するハイスピード戦略が重要で

ある。

具体的には、半導体集積回路分野においては、ばらつき・揺らぎ・雑音を徹底的に抑える半導体製造技術，超高速・超高性能・超多品種少量生産技術，超短時間評価・分析技術，高性能新構造デバイス技術，低消費電力回路・アーキテクチャ技術，設計検証短期間化技術などの研究開発を科学技術政策として重点的にサポートすべきである。さらに，集積回路分野に密接に関連し，集積回路分野とともにグローバルネットワーク社会を支える基盤技術分野である高画質・超低消費電力大型平板デジタルディスプレイ分野及び超大容量高速ストレージ分野は，我が国が重点的に強化すべき分野であり，戦略的な取組が必須である。

## 目 次

1 . 背景：ムーアの法則の破綻 .....	1
2 . 現在の半導体集積回路技術における様々な問題点.....	1
2 - 1 . 消費電力の増大 .....	1
2 - 2 . リーク電流の増大 .....	2
2 - 3 . 特性ばらつき・揺らぎ・雑音の影響 .....	2
2 - 4 . 配線遅延の増大 .....	2
2 - 5 . マスク製造コストの増大.....	3
2 - 6 . リソグラフィ光源の問題.....	3
2 - 7 . 製造技術の未熟さによる設計技術へのしわ寄せの問題 .....	4
2 - 8 . 設計期間増大の問題 .....	4
3 . 様々な問題を克服するための技術研究開発方針 .....	5
4 . 重点的に取り組むべき技術研究開発分野.....	6
4 - 1 . ばらつき・揺らぎ・雑音を徹底的に抑える半導体製造技術.....	6
4 - 2 . 低コスト短期間マスク製造システム .....	7
4 - 3 . 次世代システム LSI 用超高速・極微細 MOS 立体化構造の開発.....	7
4 - 4 . ユビキタスエレクトロニクスに向けた超低消費電力集積システム技術の 開拓 .....	8
4 - 5 . 設計検証短期間化技術 .....	9
4 - 6 . 「価値」と「信用」を保証する集積回路技術アプリケーション.....	10
4 - 7 . メディカルエレクトロニクスアプリケーション.....	10
4 - 8 . マルチメディア情報処理アプリケーション.....	11
5 . 結び .....	11
5 - 1 . 半導体集積回路分野 .....	12
5 - 2 . 関連技術分野 .....	12

## 1．背景：ムーアの法則の破綻

Gordon Moore 博士が 1965 年に経験則として提唱した、「半導体の集積度は 1 年で 2 倍、あるいは 3 年で 4 倍向上する」という法則が破綻しようとしている。微細化の進展に伴い、様々な物理的な限界に直面しているからである。また、半導体産業の主戦場が、汎用のマイクロプロセッサ、メモリから、情報家電用システム集積回路に移行しているため、製造技術は従来の単品種大量生産から、多品種可変量生産へと大きな転換を迫られている。同時に製品のライフサイクルが極めて短くなってきている。高速デジタル回路と共に、高精度アナログ、高周波 RF 回路を 1 チップに集積化したシステム集積回路を、短期間・低コストで設計・製造を行うための技術革新が急務である。

半導体産業は、今やあらゆる産業の基幹を担っている。半導体技術なくして全ての産業の健全な発展はありえない。全産業の停滞を回避するため、半導体産業の進歩を決して停滞させてはならない。さらに、この分野が極めて大きな影響力を持つ環境・エネルギー問題に関し、京都議定書で確約した CO<sub>2</sub> 削減をも同時に実現することが重要である。今、半導体産業は、非常に重要な転換期を迎えている。本報告は、半導体産業を、これまで以上に発展させるために、今何が必要であり、我が国の科学技術政策としてどのような対策を講じればよいか、検討するための助言として報告するものである。

第 2 節では、現在半導体技術が直面している様々な物理的な限界について詳述する。第 3 節では、その危機的状況を打開するために推進すべき半導体集積回路技術開発の方針について述べる。第 4 節では、我が国の科学技術政策としてサポートすべき技術分野について具体的に述べる。第 5 節では、本報告書の結びとして、今後我が国が重点的に強化すべき分野についてまとめ、特に、超高速・超高性能・超多品種少量生産 LSI 分野、高画質・超低消費電力大型平板デジタルディスプレイ分野、超大容量高速ストレージ分野についてその指針を述べる。

## 2．現在の半導体集積回路技術における様々な問題点

本節では、超微細化超高集積化の進展と共に顕在化してきた半導体集積回路技術における様々な問題点を述べる。

### 2 - 1．消費電力の増大

微細化によりトランジスタの動作時の電流密度及び静的なリーク電流が増大し、集積回路チップの消費電力が急増している。今やハイエンドのプロセッサでは、消費電力が 100W に近づいている。現状の冷却技術では、チップ当たりの電力限界は 100W といわれており、正にその限界に近づいている。デジタル情報家電等のコン

シューマ向けの集積回路を考えると、高度・高価な冷却機能は適用できないため、消費電力の問題は更に厳しく顕在化する。また、電源電圧は 1V 程度まで低減しており、数 10W の消費電力の集積回路には、数 10A の大電流を供給しなければならず、電源ピンの数も増大し、パッケージコストの増大を招くなど、消費電力増大の影響はきわめて大きい。

## 2 - 2 . リーク電流の増大

消費電力の増大要因の中で、リーク電流によるものは物理的な要因によるものであり、その影響は大きい。トランジスタ素子内部の電界を限界値以下に抑え、消費電力を抑えて微細化のメリットを享受するためには、微細化に応じて電源電圧及びしきい値電圧を低減しなければならない。しかしながら、電源電圧の低減にあわせて MOS トランジスタのしきい値電圧を低減すると、弱反転特性はスケールアップされないため、結果としてトランジスタのソース・ドレイン間のオフリーク電流が増大する。さらに、微細化にあわせてトランジスタのゲート絶縁膜の膜厚を薄膜化しなければならないが、膜厚が数 nm になると、直接トンネル電流が流れるようになってしまい、ゲートリーク電流が増大する。ハイエンドのプロセッサでは、リーク電流による電力消費が、全体の消費電力の約半分に達し、今後更に急激に増大するといわれている。それらの影響により、静的消費電力が著しく増大し、動作速度向上に伴う動的消費電力の増大と合わせて、全消費電力が急増することになる。

## 2 - 3 . 特性ばらつき・揺らぎ・雑音の影響

素子寸法が微細化すると、それに伴ってしきい値電圧や飽和電流などの素子特性のばらつき・揺らぎが大きくなる。しきい値電圧ばらつきや  $1/f$  雑音などは、微細化に伴い、素子の寸法に逆比例して大きくなる。さらに、1 個の素子が扱う信号電荷量が減少すれば、物理的に避けられない量子雑音の影響が大きくなり、信号対雑音比 (S/N 比) は劣化する。電源電圧すなわち信号電圧の低減により更にその影響は顕在化する。逆に素子の微細化により集積回路の集積度は向上し、1 チップに集積化される素子数は増大する。その結果、システム全体の誤動作率が上昇し、集積回路の安定動作保証が困難な事態に直面している。消費電力の低減には電源電圧すなわち信号電圧の低減が不可欠である。電源電圧・信号電圧を小さくしながら、集積回路が誤動作せず安定に動作するためには、ばらつき・揺らぎ・雑音を徹底的に小さくする半導体技術の創出が必須である。

## 2 - 4 . 配線遅延の増大

素子の微細化に伴って素子自体の動作遅延時間は減少する。しかし、素子と素子

を接続する配線に関しては、断面寸法の微細化により、抵抗成分やインダクタンス成分、容量成分が増大し、伝播遅延時間が増大する。さらに、集積回路チップの面積が増大すれば、配線の平均的な長さが増大し、更に伝播遅延時間が増大する。集積回路の動作速度を律則するのは、現状の微細化状況では、トランジスタ素子の遅延時間ではなく配線の遅延時間となり、微細化が進めば動作速度が遅くなるという結果をもたらす、微細化のメリットが消失する。

## 2 - 5 . マスク製造コストの増大

素子の微細化の鍵を直接握る微細パターン形成技術も様々な問題に直面している。最も深刻なものが、パターン転写に用いるマスクの製造コストの問題である。現在の微細パターン転写では、エキシマレーザ光による光転写技術が用いられているが、素子の微細化の要求は、波長以下の寸法の解像度を要求し、位相シフトや光学的近接効果補正（OPC）等の様々な光学補正技術が必須のものとなっている。OPC では、マスクパターンのエッジ部を出来上がり形状に応じて太らせたり細めたりする必要があり、そのため、マスクのパターン形状は非常に複雑になり、データ量が増大する。電子ビーム（EB）により逐次的に描画する現在の手法では描画時間が増大し、その結果、マスク製造コストが高騰し、製造期間（納期）が長期間化する。また、微細化の進展に伴い、製造プロセスが複雑化し、1製品の製造に使用されるマスク枚数も増大しており、現状では1セット 30枚以上のマスクが必要となっている。現在量産が始まろうとしている90nm世代の集積回路では、1セットのマスク価格は1億円を超えられている。我が国が覇権をかけて取り組んでいるデジタル家電用システムLSIでは、数10万個の生涯生産チップ数であるため、1チップ当たりのマスクコストが千円程度となり、1チップの価格が数100円以下に抑えられるこの分野ではビジネスが成り立たなくなるという危機的状況に直面している。

## 2 - 6 . リソグラフィ光源の問題

リソグラフィ技術は、光源に関しても深刻な問題に直面している。ムーアの法則に基づき、微細化を年々進めてきた結果、波長193nmのArFが量産工場で使われ始め、更に、F<sub>2</sub>、ArF液浸、EUVLと研究開発は続けられているが、ArF露光機は1台20億円前後であり、将来製品化されるF<sub>2</sub>やArF液浸は1台30億円程度、EUVLは35億円程度と見積もられている。さらに、ランニングコストはArF露光機1台で年間約1億円にも達してしまい、チップの低コスト化に対して大きな障壁になってきた。これらの露光装置の高コスト体質の根底には、パルス発光高エネルギーフォトンによる光学材へのダメージが起因しており、例えば、1個600万円もするレーザの光学パーツが3か月しかもたないからである。波長193nmは、7.9eVのエ

エネルギーに相当し、本来なら透明な材料も、パルス光源であるがゆえの間欠光の光強度から非線形光学現象による二光子吸収等で劣化が速められている。さらに、EUVL では一個のフォトンエネルギーが 92eV もあり、あらゆる材料の結合エネルギーを遥かに越えている。その結果、1 個数千万円もする非常に高価な光学部品やマスクがごく短期間に劣化してしまい、ランニングコストは 1 台で年間数億円と予想される。まさに先の見えない状況に置かれている。

## 2 - 7 . 製造技術の未熟さによる設計技術へのしわ寄せの問題

製造技術の未熟さにより、集積回路設計に制限が加わる事態が発生している。現在の半導体製造では、微細化に対応するため、様々なプラズマプロセス技術が利用されている。減圧下で、荷電粒子を用いるプラズマプロセスでは、電界による荷電粒子の制御により微細加工に対応できるためである。しかし、完全に制御できていないプラズマにより、製造されるデバイスに様々な損傷を与えてしまう。そこで、現状では、デバイス損傷を抑えるため集積回路のレイアウトパターンに様々な制限が加えられている。代表例は、アンテナ比の制限である。MOS デバイスのゲート電極は、その構造上、製造の途中で電氣的に浮遊状態に置かれる。ゲート電極に接続された中長距離配線が製造の途中で電氣的に浮遊状態に置かれる場合、プラズマプロセスによる荷電粒子の照射により電氣的に浮遊状態のゲート電極が帯電し、MOS デバイスの心臓部であるゲート絶縁膜に過大なストレスが印加され、デバイス信頼性が著しく劣化する現象がチャージングダメージである。このチャージングダメージを抑制するため、MOS デバイスのゲート電極に繋がる配線パターンの面積と接続先のゲート電極面積の比をある制限値（アンテナ比）以下にしなければならない。これにより、配線層のパターンに制限が加わり、設計上の自由度の低下や、回路面積の増大を生じてしまう。さらに、アンテナ比以外にも、加工対象面積のばらつきによる加工不均一を防止するためのフィルレシオ（それぞれのパターン層でのパターン面積 / 空白面積の比）の制限や、ストレス、微細配線加工技術の未熟さによる配線パターン幅の制限などが現状の集積回路設計における製造技術起因の制限として加わっている。最近では、設計へ様々な制約条件を加えることにより歩留まりを確保する技術を DFM（Design for Manufacturability：製造容易化設計）等と呼んで研究も進んでいるが、本来、最大限の設計自由度を保証するために最小パターン寸法以外の制限要因は排除されるべきである。しかし、現状ではこれが実現できない異常事態に陥っている。

## 2 - 8 . 設計期間増大の問題

集積度の向上とともに、設計者が設計しなければならない回路規模はますます増

大する。設計者が単位時間に設計可能な回路規模は限られており、必然的に設計期間が長期間化する。たとえ設計を細分化し分業体制としても、設計チームの大規模化と共に設計効率は低下し設計期間の短期間化には直接結びつかない。設計資産（IP）の再利用も試みられているが、インターフェイスの不適合や信頼性の問題など、設計効率化には課題が多い。さらに、設計期間を増大させる大きな要因が設計検証である。設計規模が増大するにつれ、ありとあらゆる可能性を検証するための設計検証期間はますます増大することになる。結果的に、集積回路の集積度の向上に設計技術の進展が追いつかない“設計クライシス”に陥っている。

さらに、半導体産業の主戦場は、汎用のマイクロプロセッサ、メモリから、情報家電用システム集積回路に移行している。製品のライフサイクルが極めて短くなると共に、高速デジタル回路と共に高精度アナログ回路や高周波 RF 回路等の様々な機能が集積化されることになる。このような大規模なシステム集積回路を、設計のやり直し無しに初回製造から完全動作を保証し、かつ設計・検証期間そのものを圧倒的に短期間化する技術革新が望まれている。

また、システム集積回路では、ハードウェア設計と共に、集積回路上で動作するソフトウェアの重要性が高まっている。搭載される様々な機能要素回路をシステムとして制御するための制御ソフトウェアであるが、出荷後のプログラム修正も通常は困難であるため、一般的な計算機用のソフトウェアに比べて格段の高信頼性が要求される。詳細かつ慎重な検証作業が必要なため、設計期間長期化、高コスト化の要因となっている。さらに、欧米諸国に比べ我が国ではソフトウェア技術研究が圧倒的に遅れている。システム集積回路分野の発展のためには、ハードウェア技術研究開発とともに、ソフトウェア技術研究開発の体系的な取り組みも急務である。

### 3．様々な問題を克服するための技術研究開発方針

以上述べたように、今日の半導体産業は、様々な物理的限界に直面している。この限界を突破するために、我が国の英知を結集して取り組まなければならない。大学による基礎的研究、産業界による実用化研究、政府、省庁によるサポートが正に必要であり、産学官連携が必須である。技術的には、材料、プロセス、製造装置、デバイス、回路、アーキテクチャ、システム、評価・分析・テストの全分野で一致団結してこの課題に取り組まなければならない。具体的には、現在の材料の限界を突破する新材料開発、材料の持つ特性を最大限活かしてデバイスを製造するプロセス技術、新しいプロセスを可能にする新しい製造装置技術、プロセスパラメータとプロセスの結果を高精度・高速に検証するための表面分析・評価装置技術、新しい物理に基づく新デバイス開発、雑音や信号伝播遅延などの影響を回路的に克服する回路・アーキテクチャ技術、最適な回路を超短時間で設計可能な設計技術、出来上

がった LSI の性能を高精度・高速に検証するテスター技術，システムの新しいパラダイムの信号処理を開拓するシステム技術の完全な一体連携融合開発研究が重要となる。さらに，顧客ニーズの変化が極めて激しいデジタル情報家電分野においては，顧客ニーズを逸早く製品に反映するスピード戦略が重要である。また単なるハードの売り切りビジネスから脱却し，アフターサービスまでも加えたトータルビジネスモデルを構築し，生産業と知的サービス業を融合した新しい産業に進化していくことも重要である。我が国の国策として，この分野の重点的なサポートが必須である。

#### 4．重点的に取り組むべき技術研究開発分野

本節では，第 2 節で述べた現在の半導体集積回路技術における様々な問題点を克服するために，具体的にどのような分野のどのような技術を研究開発すべきかについて指針を述べる。

##### 4 - 1．ばらつき・揺らぎ・雑音を徹底的に抑える半導体製造技術

微細化に伴う様々な物理的限界を突破するには 新しい材料の導入が必須である。これまで半導体産業は，シリコンとシリコン酸化膜という非常に安定した材料のみに頼ってきたが，既にそれらの物理的限界は迫ってきており，何らかの新材料の導入が必須である。例えば，MOS トランジスタのゲート絶縁膜には高誘電体材料の導入が必要であり（同時に  $1/f$  雑音が現状より小さくなる高誘電体であることが求められる），半導体基板そのものも，シリコンのこれまで用いられなかった結晶面方位（Si(110)面など）を用いたり，バンドギャップの広いシリコンカーバイド（SiC）等への転換が将来的には必要となってくる。これまでのシリコンベース単元系の半導体製造に比べて，新材料は多元系材料が多いため，取り扱う材料の種類も増え，複雑性は増すため，それらの製造プロセス技術の高精度化は必須である。これまでの，“出来ればよい”的な考え方から完全に脱却し，物理や化学等の学問に基づく考え方により，必要な反応を完全に制御した形で実現する“科学的”な製造技術が必須である。具体的には，製造に用いる原料分子の解離を完全に制御し，プロセスを直接支配するパラメータを所定の値に精密に制御可能なプロセス技術及び装置技術の開発が急務である。それにより，製造技術の未熟さによる設計への様々な制限も排除可能となる。

また，現状のシステム集積回路では，論理回路部分の CMOS 回路とともに，高周波回路やアナログ回路などの一部でバイポーラトランジスタによる回路を集積する場合がある。バイポーラトランジスタによる高周波回路特性の良さ，雑音やばらつきが少ないが主な理由であるが，同一基板に CMOS デバイスとバイポーラデバ

イスを集積化する複合製造プロセスでは、工程数が増えることによるコスト上昇、バイポーラ回路の低電圧化が困難、消費電力が増大することなどのさまざまな問題が生じている。高精度科学的製造プロセス技術が確立されれば、CMOS デバイスにおいてもバイポーラデバイスを凌駕する高性能、低ばらつき・雑音特性が実現できるため、システム集積回路は、高周波回路、高精度アナログ回路も含めて、完全 CMOS 化が可能となる。

#### 4 - 2 . 低コスト短期間マスク製造システム

我が国がエレクトロニクス分野の決戦場として位置付けているデジタル情報家電分野のシステム LSI では、必然的に少量多品種生産となり、マスクコストの LSI 製造コストに占める割合は大きくなっており、一桁以上の原価低減が求められている。さらに、製品のサイクルが短期間化するに伴い、現在一か月程度必要なマスク製造期間そのものも半日程度への短期間化が要求されている。したがって、低コストで短期間にマスクを製造する技術開発は、我が国のエレクトロニクス産業の将来を握る鍵となる重要なものである。現在、2 次元一括描画システムとマスクリピータを組合せた低コスト短期間マスク作成技術などの画期的なアイデアが生まれている。また、短波長光源利用のリソグラフィ技術の低コスト化には、光学材が全くダメージを受けない連続光を利用すべきであり、これを発生できる連続発光エキシマレーザ等の連続光源の開発が極めて重要になっている。有望な技術を見極め、必要な研究資金や体制の確保など、我が国の技術政策としてのサポートが必須である。

#### 4 - 3 . 次世代システム LSI 用超高速・極微細 MOS 立体化構造の開発

超高速システム LSI では、トランジスタの電流駆動能力の向上が求められることから、デバイスの極微細化の研究が活発に行われているが、極微細化に見合った電流駆動能力が得られていない。微細化レベルは現在の材料の物理的な限界に到達しているからである。さらなる高電流駆動能力化の要求に答えるには、新材料や新構造の導入が必須である。例えば、従来、製造技術の貧困さから用いられなかったシリコンの(100)面以外の面方位、例えば(110)面の利用や、シリコン窒化膜のゲート絶縁膜への採用などにより、従来技術と比べて 10 倍の電流駆動能力向上が見込まれる。さらに、デバイス構造自体も、側壁チャネルを利用する 3 次元立体構造や複数のチャネル領域を積層するスタック構造にすることにより、更なる電流駆動能力の向上が見込まれる。それらの新構造デバイスが十分な能力を発揮するためには、それらの新材料・新構造を高精度・高信頼性で製造するための製造技術の革新も必要となる。

新材料の導入や極微細 MOS 立体化構造により、トランジスタとしての電流駆動

能力は高められる。しかし、システムとして集積回路が高速動作を実現するためには、トランジスタ同士を接続する配線の伝播遅延を抑えることが重要である。GHz オーダーの高周波信号を高速に伝播させるためには、配線そのものの低損失化（低抵抗化）が重要である。高信頼性金属配線技術、低誘電率層間絶縁膜技術の実用化が急務である。

#### 4 - 4 . ユビキタスエレクトロニクスに向けた超低消費電力集積システム技術の開拓

集積システム技術はナノメートル級の加工技術に向けて研究がなされている。しかしながら、単なる微細化技術だけでは、世界における我が国の産業競争力は立ち行かないことが明らかになってきている。このような状況を打破するためには、ナノメートル CMOS システムの主要アプリケーションから考え直し、集積回路システムの研究の方向性を見極める必要がある。

一方、将来、一人当たり数百個以上のプロセッサを利用するような社会が来ると考えられる。数百個のプロセッサは意識しては使えない。そこでは、エレクトロニクスが環境に入り込み、人々が意識しなくても生活上の利便性や安全性を高められるようなインフラを構築すると考えられている。このような、来るべきワイヤレス・センサー・ネットワーク社会あるいはユビキタスエレクトロニクス社会でナノメートル CMOS システムとその要素技術、例えば大面積エレクトロニクス技術、ポリシリコン及び無機アモルファス新素材トランジスタや有機トランジスタなどによる大面積集積システム、大面積分散アクチュエータ、超低消費電力技術研究、バッテリーレス電源技術研究、極短距離無線通信技術研究、集積センサー技術研究、システムインパッケージ技術研究などの高付加価値技術研究が必要と考えられる。しかし、これまで我が国では、ワイヤレス・センサー・ネットワークと銘打ったハードウェア研究は行われていなかった。個別に見ると、低消費電力技術など、我が国が日本学術振興会学術研究推進プロジェクトの成果などによって世界をリードしている基礎研究分野があり、これらの基礎的優位性を踏まえれば、ワイヤレス・センサー・ネットワーク研究という重要学問分野でも世界をリードできるとともに、新産業の創出に資することが期待できる。

このようなユビキタスエレクトロニクスの世界では、すべての技術において低消費電力が殊更に必要となる。なぜなら、ユビキタスエレクトロニクスはインフラのように存在し、もし、消費電力が大きいと社会のエネルギーをすべて使い尽くしてしまうからである。

超低電力集積システム技術研究開発では、細粒度分散型 Power Delivery システムの研究開発が最重要課題である。また、デジタル関連ではソフトウェア・回路・

デバイス連携による細粒度適応型電源電圧 / しきい値電圧制御，複数電源電圧 / しきい値電圧指向並列アーキテクチャ，高特性抵抗プリント基板・パッケージ，低電力，高信頼性実現のための自己診断適応型システムなどが重要研究課題であり，無線・アナログでは，超低電力ウルトラワイドバンド技術，システムインパッケージ用超低電力インターフェイス，低リークアナログ，低耐圧デバイスによる高電圧回路などが特筆される。また，メモリ分野では，可変電圧，不揮発性メモリ混用，超低電圧対応など超低電力メモリアーキテクチャの研究開発が緊急課題である。その他，超低電力集積システム用周辺ハードウェア技術の研究開発として，大面積エレクトロニクス対応の有機エレクトロニクスやMEMS技術による超低電力センサー，アクチュエータなどの分野が重要分野として挙げられる。

#### 4 - 5 . 設計検証短期間化技術

顧客の好みの変化が極めて激しいデジタルネットワーク情報家電分野において，顧客の要求を瞬時に製品化するための超短期間集積回路設計検証技術の確立が重要である。しかし，現在のシステム集積回路設計では，全体仕様決定の後，ハードウェアの設計・検証，ソフトウェアの設計・検証という順番で逐次実行されており，ソフトウェアとハードウェアの設計が完全に分離しているため，全体構成の最適化が困難であるだけでなく，全体の設計効率向上も困難である。ハードウェア設計技術，ソフトウェア設計技術双方の体系的な研究開発・強化とともに，ハード/ソフトの協調設計検証環境を構築する技術の実現が急務である。設計期間の大部分を占めるのは検証期間であるが，例えば，ソフトウェアアルゴリズムを瞬時に最適化されたハードウェアに実装して高速に実行する体系が確立されれば，ハード/ソフトを区別無く等価的に扱うことが可能となり，ハード/ソフトの最適比率切り分け，ハード/ソフトの柔軟な協調下での設計検証の同時並列遂行が可能となり，開発対象システムの性能が向上すると共に設計検証期間が超短期間化される。

また，システム集積回路に集積される要素機能回路は，顧客の要望に応じて多種多様なものが要求される。過去のハードウェア設計資産（IP）を蓄積し，有効利用する手法も重要であり，現在活用されているが，顧客に要求される各種機能回路を，その使用頻度にかかわらず何から何まで全て集積化する手法では，チップ面積が増大し，コスト増大を招いてしまうと共に，それらの機能回路間のインターフェイス仕様の調整・再設計などで設計・検証期間の増大を招いてしまう。それらの問題を解決するためには，機能可変（リコンフィギャラブル）な回路技術を最大限活用する事が必須である。限られたハードウェア資源で，必要とされる大多数の機能を瞬時に回路として具現化できる動的再構成技術を確立することにより，過去に開発，蓄積された優れた機能アルゴリズム（ソフトウェア）をハードウェアとして活用す

ることが可能となり、システム集積回路のコスト/パフォーマンスを圧倒的に向上させることが可能となる。ハードウェアとして再設計が必要な量は最少化され、設計・検証の短期間化にもつながる。

結果的に、システム設計分野で欧米に対して劣勢だった我が国に、超短期間設計検証技術による競争力を与え、製品化サイクルの短縮化と個人の優れたアイデアを瞬時に製品化可能であることによる情報電子システム製品開発の活性化を促し、IT時代の我が国の確固たる地位を確立することが可能となる。

#### 4 - 6 . 「価値」と「信用」を保証する集積回路技術アプリケーション

システム LSI の利用範囲の拡大と個人生活への浸透に伴い、エレクトロニクス技術を利用した「個人の認証」、「権利や権限の証明」及び「価値の交換と保存」が広く行われるようになってきた。IC カードを利用した身分証明や権限管理、電子マネーの普及など社会システムの基盤を支える媒体としての半導体の役割が注目されている。暗号技術などの情報セキュリティ技術を搭載したシステム LSI の設計・製造、テストの技術の確立は、「価値」と「信用」を保証する媒体として半導体に新しい付加価値を与える新技術の創成を必要としている。

金属貨幣や紙幣によって行われてきた現金決済系を、エレクトロニクスを基盤としたシステムに置き換えるには、価値の保存性の保証をはじめとして、贋金の防止、不正の検出と防止、匿名性の維持などの個人情報保護、利用者の了解性の確保など相反する多くの技術課題を抱えている。新しいエレクトロニクスによる「価値」の保証を確立するためには、過去数世紀にわたり紙幣に投入された多大な技術開発の努力以上のエネルギーを必要とする。また、私的通貨の流通や情報ビジネスにおける資金回収系（静脈系）の整備など経済的にも重要な技術とも関係しており、徴税体制の維持という国家の存立とも直接関係する大問題でもある。

携帯情報機器の普及により、「価値」と「信用」を取り扱うエレクトロニクス技術の重要性は飛躍的に増大している。これまでは、ソフトウェアを中心に考えられてきたセキュリティに関する問題に、構築 LSI の出現に対応するための半導体技術側からの新しいアプローチが求められている。

#### 4 - 7 . メディカルエレクトロニクスアプリケーション

高齢化社会の到来を迎え、福祉分野の成長が期待される。この分野におけるエレクトロニクス技術の担う役割は非常に大きい。全人類が、安心して社会生活を営むことができ、自分自身の存在意義を見出せる健全な社会の確立を目指して、エレクトロニクス分野の益々の貢献が必要である。例えば、ヘルスケアチップや実物大のカラー高精細動画像の実時間双方向通信システムを用いた全国民常時診察システム

を創出することによる全国民の健康保持管理等である。

#### 4 - 8 . マルチメディア情報処理アプリケーション

デジタル情報家電向けシステム LSI をエレクトロニクス産業の切り札と位置付けている我が国では、前述したシステム LSI 技術の研究開発とともに、それらの技術を活用して新たなエレクトロニクス商品・産業を創出し、需要を促進してエレクトロニクス産業全体、更にはエレクトロニクスが支える全ての産業を更に成長させ続けることが重要である。以下に具体的な例を示す

地上波デジタル放送の開始に伴い、テレビは莫大な買い替え需要が期待されている。現状の大型平面テレビはまだまだ高価であり、その普及は低調である。大型平面ディスプレイの低コスト化が実現し、たとえば 30 インチ以上の高精細平板デジタルディスプレイを販売価格 20 万円以下で供給できれば、2006 年以降 1 億台/年以上の平板ディスプレイ世界市場が創生されることになり、その経済的波及効果は計り知れない。

さらに、将来的に平板ディスプレイは、実物大ディスプレイに向けた更なる大型化、高画質化（少なくとも人間の目に違和感のない 12~14bit のダイナミックレンジが必要）、低消費電力化を推進しなければならない。これらの要求を同時に満たすためには、自発光ディスプレイデバイスでなければならない。その最有力候補は（有機/無機）EL ディスプレイであるが、現状の技術では寿命は数 100 時間であり、信頼性に乏しく実用化には程遠い。大画面・高画質・低消費電力 EL ディスプレイが実現されれば、年間数 10 兆円の強大な新産業創出と共に、その低消費電力性から京都議定書で確約した CO<sub>2</sub> 削減（換算）目標の 1/10 を本製品分野だけで達成可能である。今後強力に推進しなければならない研究開発テーマの一つである。

さらに将来的には、大型ディスプレイを核として「実物大・リアルタイム・コミュニケーション」への要求が高まることが予想される。大画面高精細のデジタルディスプレイと、広帯域ネットワークを組み合わせることで、人間=人間系、人間=機械系のリアルタイムの意思疎通が可能となり、人間の持つ即応性・柔軟性を活かした高度の情報システム応用が実現できる。臨場感をもった情報通信がいよいよ実用化するであろう。このような次世代情報通信エレクトロニクス分野の産業基盤を形成することを目的としたプロジェクトに関しても、国家戦略として十分なサポートが必要である。

#### 5 . 結び

本報告では、半導体産業及び関連産業をこれまで以上に発展させるために、今何が必要であり、我が国の科学技術政策としてどのような対策を講じればよいか検討

した結果について述べた。今後、我が国が重点的に強化すべき分野について要約して本報告の結びとする。

### 5 - 1 . 半導体集積回路分野

これまで順調に発展してきた集積回路技術及び産業は、今重大な転換期を迎えている。1年で2倍、あるいは3年で4倍といわれる指数関数的な集積度向上を続けられれば、半導体技術は健全に発展し続ける、というこれまでの集積回路技術開発の単純明快な指導原理であったムーアの法則が、リーク電流の増大、素子特性のばらつき増大、それらに伴う消費電力の増大など、素子寸法微細化に伴う様々な問題点により破綻しようとしているからである。

また、今後の半導体産業の主戦場となるのは、デジタル情報家電分野である。この分野は、顧客の好みの変化が極めて速く、製品寿命は極めて短いという特徴を有する。これらの製品に搭載される半導体集積回路の製造は、超多品種少量生産を余儀なくされる。これまでの製造業の指導原理であった大量生産(スケールメリット)による利益率の向上は望めず、基本コンセプトの一大転換が必要な状況となっている。

このような状況に鑑み、半導体集積回路分野で、今後我が国が重点的に強化すべき項目について以下に列挙する。

超多品種少量生産対応・超短時間・完全枚葉新半導体生産方式の創出

三次元立体化極微細 MOS LSI の創出

ハード・ソフト協調設計検証システムの創出

(超短期間設計：ハード・ソフト最適切り分け)

超短時間・超低価格マスク生産方式の創出

超微細低価格フォトリソグラフィ技術の創出

超高精度・超高速表面分析・評価・計測技術の創出

超高精度・超高速 LSI 検証テスター技術の創出

### 5 - 2 . 関連技術分野

高速大容量のネットワークが国家社会の基本インフラになる時代を迎えようとしている。例えば、高速大容量のネットワークを介して実物大カラー高精細動画像の実時間双方向通信が行われ、臨場感豊かなコミュニケーションが実現する時代の到来である。上述した半導体集積回路分野とともに、関連する以下の分野の強化も必須である。

高画質・超低消費電力大型平板デジタルディスプレイ技術

視覚情報は、我々人間が、膨大な量の情報を瞬時に把握することが可能な情

報媒体であり、ディスプレイは、その要となるデバイスである。目に優しく、超低消費電力な高画質大型平板デジタルディスプレイの開発実用化が急務である。大型化、高画質化、低消費電力化の厳しい要求を実現できる最有力候補としては、自発光デバイスである有機/無機 EL 技術であるが、現状の重大な問題点：(1)発光電力効率が低い、(2)寿命が極端に短い、(3)大画面が作れない、を完全に克服する新しい構造、新しい生産方式を創出することが重要である。

#### 超大容量高速ストレージ技術

膨大な情報量となるカラー高精細動画データや、その他の膨大な知的財産たる各種情報を高密度に記録・保持し、ユーザが自由に持ち出し、どこでもその膨大なデータを十分に活用できるシステムを構築するためには、超大容量・高速ストレージ技術が必須である。実物大カラー高精細動画・実時間双方向通信に対応する携帯情報機器向け  $10^2 \sim 10^4$  Gbit / inch<sup>2</sup> 記録システムの創出が急務である。